

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-092745

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

H01L 21/20
G02F 1/136
H01L 29/786
H01L 21/336

(21)Application number : 08-242782

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.09.1996

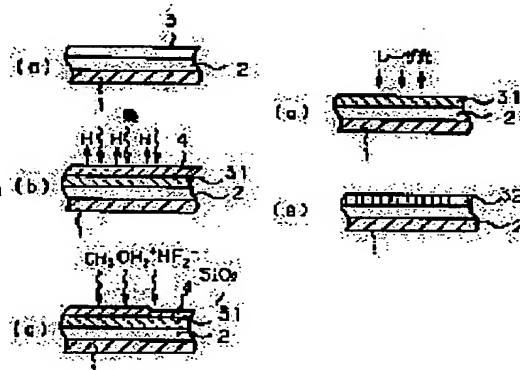
(72)Inventor : MATSUURA YUKI
MIHASHI HIROSHI
KAWAHISA YASUTO

(54) METHOD AND DEVICE FOR MANUFACTURING CRYSTAL SEMICONDUCTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the generation of unevenness on the surface of a polycrystal silicon film, caused by the existence of a native oxide, and enable satisfactory formation of an element by removing a native oxide on the surface of an amorphous semiconductor film formed on a substrate, and at the same time, irradiating the surface of the semiconductor with an energy beam.

SOLUTION: After a silicon oxide film as an undercoat layer 2 is formed on an insulating substrate 1, an amorphous silicon film 3 is formed on the silicon oxide film. Then, heat annealing is carried out on the amorphous silicon film, thus dehydrogenating the film. Thus, a native oxide 4 is formed on a polycrystal silicon film surface 31. Then, the natural oxide film 4 on the surface is removed by etching in a dry etching chamber, and the substrate on which etching is completed in a vacuum is transported into a laser annealing chamber, via a transfer chamber maintained in a vacuum. The amorphous silicon surface 31 is irradiated with a laser beam, thus forming a polycrystal silicon film 32 on the entire surface of the substrate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP) (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-92745

(43) 公開日 平成10年(1998) 4月10日

| (51) Int. Cl. | 識別記号 | PI |
|---------------|------|------------|
| H01L 21/20 | 500 | H01L 21/20 |
| G02F 1/136 | 500 | G02F 1/136 |
| H01L 29/78 | 627G | H01L 29/78 |
| 21/536 | | |

審査請求 未請求 請求項の数 3 OL (全 7 頁)

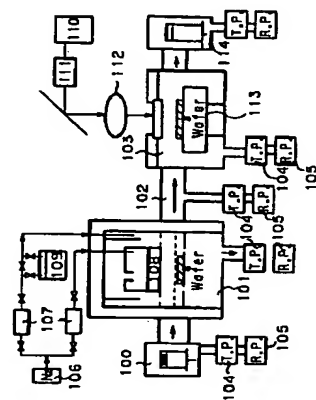
| (21) 出願番号 | 特開平9-242782 | (71) 出願人 | 000003078 株式会社東芝 |
|-----------|------------------|----------|--|
| (22) 出願日 | 平成8年(1996) 9月13日 | (72) 発明者 | 神奈川県川崎市幸区堀川町72番地 秋浦 由紀 神奈川県横浜市磯子区新磯子町33番地 株 式会社東芝生産技術研究所内 (72) 発明者 三橋 浩 神奈川県横浜市磯子区新磯子町33番地 株 式会社東芝生産技術研究所内 (72) 発明者 川久 麗人 神奈川県横浜市磯子区新磯子町33番地 株 式会社東芝生産技術研究所内 (74) 代理人 弁理士 外川 英明 |

(54) 発明の名称 結晶半導体の製造方法および製造装置

(57) 要約

【課題】本発明は非晶質シリコン膜をレーザアニールにより結晶化させる技術を用いて、表面凹凸をAFM測定によりRMS値10nm以下に抑えられた平坦な多結晶シリコン膜を得ることができ、低リーク電流、かつ絶縁破壊特性の良好な(ゲート電圧の高い)高移動度多結晶シリコンTFTが提供できる。

【解決手段】本発明はアモルファスシリコン膜表面に形成された自然酸化膜をドライエッチングで除去した後、アモルファスシリコン膜をレーザアニールにより結晶化させることを特徴とし、ドライエッチングからレーザアニールの工程は真空一貫プロセスを用いて基板搬送を行いレーザアニールも1×10⁻¹⁰ Torr以下の真空中で行うことを特徴とする多結晶半導体の製造方法および製造装置である。



(1)

【特許請求の範囲】

【請求項1】基板上に非晶質半導体膜を形成する工程と、前記非晶質半導体膜表面の自然酸化膜を除去する工程と、前記半導体膜表面に前記自然酸化膜が除去された状態で前記半導体膜にエネルギービームを照射する工程とを具備することを特徴とする結晶半導体の製造方法。

【請求項2】被処理基板を収容しこの被処理基板上に非晶質半導体膜を形成する第1のチャンパーと、前記非晶質半導体膜の表面の自然酸化膜を除去するドライエッチング手段と、前記非晶質半導体膜表面にエネルギービームを照射する手段と、前記被処理基板を収容し前記非晶質半導体膜表面に前記エネルギービームを照射可能な第2のチャンパーとを備え、前記第1のチャンパーと前記第2のチャンパーとを接続する真空系を具備することを特徴とする結晶半導体の製造装置。

【請求項3】前記第1のチャンパー、前記第2のチャンパー、及び前記真空系の真空度は1×10⁻¹⁰-1Pa以下の到達真空度となる事を特徴とする請求項2に記載の結晶半導体の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、結晶半導体の製造方法および製造装置に関する。

【0002】

【従来の技術】近年、カラー液晶ディスプレイを始めとする入出力デバイスの高密度化、コンパクト化、低コスト化を実現する技術として、多結晶シリコン薄膜トランジスタ(以下多結晶シリコンTFT)が注目されている。多結晶シリコンTFTを用いて液晶ディスプレイを形成した場合、画素スイッチング用のTFT以外に、高移動度動作可能なことから駆動回路にもTFTを採用し、駆動回路一体形成ができ、駆動用のICやその接続が不要となるという利点がある。

【0003】液晶ディスプレイへの適用では、無アルカリガラス等の基板上に多結晶シリコンTFTを形成するため、基板ダメージの少ない低温度プロセスで多結晶シリコン膜を形成する技術が必要である。そこで、非晶質シリコン膜をレーザアニールにより結晶化させて多結晶シリコン膜を形成する方法がよく用いられる。この方法により形成した多結晶シリコン膜をチャネルに用いたTFTは、固相成長法やPIPTで形成した多結晶シリコン膜を用いたTFTよりも高移動度であることが知られている。

【0004】図5に従来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板1上にアンダーコート膜2を形成した後、基板温度300℃以下の低温で非晶質シリコン膜3を形成する。この非晶質シリコン膜3は多量の水素を含んでいるため、結晶化のためのレーザアニールを行うと多量の水素放出に伴って膜アブレーションを生じる(図5(a))。

【0005】ついで、結晶化のためのレーザアニール前に水素脱離を目的とした熱アニールを行う。熱アニール450℃、1hを行うと、多結晶シリコン膜面には10Å程度の自然酸化膜4が形成される。ここで、31は膜水素された自然酸化膜4が5×10¹⁰/cm²となった非晶質シリコン膜である(図5(b))。

【0006】次に、非晶質シリコン膜をレーザアニールしてS1を同時に溶融し結晶化させる(図5(c))。最後に、自然酸化膜4をエッチング除去してガラス基板の上に形成した多結晶シリコン膜を完成する(図5(d))。

【0007】このように、非晶質シリコン膜を成膜した後、大気中に晒したり、もしくは熱アニールを行うと、非晶質シリコン膜表面に自然酸化膜(最大厚約15Å)が形成される。従来では、レーザアニール前にこの表面自然酸化膜を除去してはなかったため、S1が溶融した後に固化する際に酸素原子や不純物原子の一部に吸着し、得られた多結晶シリコン膜表面には、多結晶シリコン膜厚50nmに対して10〜30nm以上の凹凸が生じた。この表面荒さをAFMを用いて測定したRMS値S1(平均二乗偏差)で示したのが図3である。このような表面自然酸化膜の影響によって発生した凹凸を持つ多結晶シリコン膜を活性層としたTFTを作製した場合、特に多結晶シリコン膜表面がチャネルとなる構造でTFTを作製した場合にはゲートSiO₂/poly-Si界面に存在する10〜30nmの突起のために、TFTのゲート絶縁層が劣化するという問題があった。

【0008】

【発明が解決しようとする課題】従来の製造方法は、非晶質シリコン膜をレーザアニールして結晶化させる場合、膜表面の自然酸化膜が存在する非晶質シリコン膜を用いると、酸素原子や表面の不純物の集積により得られた多結晶シリコン膜表面にAFM測定値のRMS値10〜30nmの凹凸が生じるため、素子の形成に不都合を生じ、例えばこのような膜を用いて多結晶シリコンTFTを形成すると、絶縁破壊特性が劣化するという問題が生じた。

【0009】本発明は、上記問題点に鑑みて成されたもので、自然酸化膜の存在に起因して発生する多結晶シリコン膜表面の凹凸の発生を除去し、良好な素子形成を可能とする高品質結晶半導体の製造方法及び製造装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明は基板上に非晶質半導体膜を形成する工程と、この非晶質半導体膜表面の自然酸化膜を除去する工程と、前記半導体膜表面に前記自然酸化膜が除去された状態で前記半導体膜にエネルギービームを照射する工程とを具備することを特徴とする結晶半導体の製造

(3)

方法を提供するものである。ここで、基板は、ガラスやセラミックス等の絶縁性基板の他に、シリコンなどの半導体基板であっても良いし、この半導体基板上にシリコン酸化膜、チタニウム膜などを形成した様な基板であっても良い。また、金属製基板上に酸化シリコン、チタニウムなどの絶縁膜を形成したような基板であっても良い。更に、半導体は、シリコンに限るものではなく、他のIV族半導体例えばGe、C等でも良いし、化合物半導体例えば、GaAs、SiGe等であっても良い。さらに、エネルギービームは、レーザービーム以外に、電子ビームであっても良い。

(0011) また、請求項の発明は、被処理基板を収容した被処理基板上に非晶質半導体膜を形成する第１のチャンバーと、前記非晶質半導体の表面を自然酸化処理の除去するドライエッチング手段と、前記被処理領域面にエネルギービームを照射する手段と、前記被処理基板を収容し前記非晶質半導体膜表面に前記エネルギービームを照射可能な第２のチャンバーとを備え、前記第１のチャンバーと前記第２のチャンパーとを接続する真空系を具備することを特徴とする結晶半導体の製造装置を提供するものである。

【0012】さらに、請求項3の発明は、請求項2の発明において、前記第1のチャンパー、前記第2のチャンパー、及び前記真空系の真空度は $1 \times 10^{-1} \text{ Pa}$ 以下の到達真空度となる事を特徴とする結晶半導体の製造装置を提供するものである。

【0013】特に、請求項1において、前記非晶質シリコン膜には、プラズマCVD法により基板温度270℃で形成して水素濃度2at. %以上を含むものを用い、

レーザアニール前に熱処理を施すことにより結晶化時のレーザエネルギー密度を高くしても膜アプレーションが生じないため、多結晶シリコンの結晶粒径を大きくすることが可能となるため、多結晶シリコンTFTの移動度を向上させることができる。

【0014】 弊社はまた、請求項1において、ドライエッチング機構に無水HF/CH₃OHペーパークリーニングを用いることで、炭素のパーティクルやカーボン、酸素などの異質不純物を減少させることができるため、溶液中に多結晶シリコン層中にそれらが混入することなく多結晶シリコン膜の移動度、Sファクターを向上させることができる。

【0015】さらに特に、請求項1において、ドライエッチング機構に紫外光照射F2ガスによる自然酸化膜除去機構を用いることにより、シリコン表面を水素により蜂蝕できるため、表面汚染が少なくなるため上記と同様にTFT特性を向上させることができる。

【0016】
【発明の実施の形態】本発明は、非晶質半導体膜表面の自然酸化膜を除去ししくはドライエッチングで除去した後、除去からエネルギピーム照射ししくはレーザ

アニールの間は大気には晒さないようにして表面酸化の
ない非晶質半導体膜を真空で置ましくは 1×10^{-10} Torr
以下の真空中でエネルギーアニールを行い、多
結晶半導体や微結晶半導体などの結晶半導体に成長させ、
結晶半導体や微結晶半導体などの結晶半導体を含有
することを特徴とする製造方法および製造装置の提供を旨
とす。この様な製造方法においては製造装置で形成した
TFTやダイオード等の施装素子の性能向上を図ること
ができる。

【0017】以下、図ましい態様で説明すると、本発明の製造方法ではレーザアブレーションに自然酸化膜を除去して、その酸化膜除去工程からアブレーション工程まで大気中とされないため、膜表面に酸化膜がない状態を保つことができる。レーザアブレーションして多結晶シリコン膜を結晶化できる。それによって、酸素原子を表面不純物（カーボン、ボロ）などの膜表面に吸着する現象を10 nm以下に抑えられた多結晶シリコン膜が得られ、低リーク電流で、かつ総は接触特性の良好な（ワーク関数の高い）高移動度多結晶シリコンTFTが提供できる。

[0018]

【実施例】以下に、本発明を実施例に沿って説明する。
 (実施例 1) 図 1 に、本発明の製造装置を示す。図 1 に示す如く、ローディングチャンバー 100、酸化膜のドライエッチングチャンバー 101、トランスファーチャーター 102、および予備置シリコン膜を結晶化させるためのレーザチャンバー 103 を備えており、それぞれのチャンバーに真空ポンプが接続された構造である。真空ポンプには、ターボポンプ 104 とその背圧を引くためのロータリーオイルポンプ 105 が接続される。これによって、それぞれのチャンバーは 1×10^{-1} Pa 以下の真空に保たれる。真空度が 1×10^{-1} Pa より高い場合、自然放熱のみを除去した後、レーザエネルギー終了時までにかかると時間が最大 30 分かかるため、その間に数人の自然放熱が形成されてしまう。

【0019】ドライエッチング法には、無水HF/OH₃Oヘンペーパーを用いることができる。これはエッチャリヤとして硫酸ガスSiO₂を供給しながら、エッチングガスとしてHFとCH₃Oヘンの混合ペーパーとCH₃Oヘンペーパーをエッチングチャンバーに渡すことにより、非晶質シリコン表面の自然酸化膜(SiO₂x膜)を除去する方法である。チャンバー内で活性種H₂FFI-が生成され、SiO₂xと反応してSiF₄としてSiO₂xが発生する。エッチング反応によって、H₂Oが発生するが、H₂Oはアルコールと親和力が強いので、過剰のアルコールペーパーとともに排気できる。さらに、エッチング処理後、非晶質シリコン表面に残留するカーボン汚染の量も低減できる。硫酸スズの流し品はマスフローコントローラー107を用いて制御される。HF/CH₃OおよびCH₃O/H₂O溶液は、HF/CH₃O10:9およびCH₃O/H₂O10:9溶液を用いる。そのペーパーの透過度は、溶液の透過度と等しい。

それぞれHF 3.8, 5.4%とCH₃OH 6.1, 5.1%が用いられる。エッチングレートは、窒素流量およびCH₃OH濃度によって制御される。窒素流量を増加させれば、HF濃度が増大するため、エッチングレートは速くなる。自然酸化膜をエッチングする場合の最適条件として、窒素流量はHF/CH₃OH側1SLM, CH₃OH側9SLMに設定した。非晶質シリコン表面の酸化シリコンのエッチングレートは1.5nm/minであった。

【0020】このようにF/CH₃OHペーパーエッチングでは、ドラッグによって表面の発光幼虫を含んだSiO₂をエッチングできる。レーザニールチャンパー103の真空度は1×10⁻¹Pa以下に設定する。レーザニール前に酸化膜が形成されることに起因したレーザニール液漏れ時に不純物（例えば、炭素酸）の混入を防ぐために、真空度は1×10⁻¹Pa以下に設定する。レーザニールには、XeClまたはArF等のレーザビームが用いられる。レーザビームは、フライレンズと呼ばれるビームホモジナイザー111、蛍光レンズ112を介して非球面シリコン表面に投射される。基板はレーザ光を照射できる。基板上にX-射线を照射する。

【0021】本発明の製造装置を用いることにより、酸
化膜除去工程と成工程でレーザアニールされて結晶化さ
れるまで、非晶シリコン膜表面は大気と触されること
はない。よって、自然酸化膜が除去された状態での非晶
シリコン膜を、レーザ結晶化工程が除去するという利点がある。

等の飽和基板 1 上、アンダーコート膜 2 として酸化シリコン膜を形成した後に、前記酸化シリコン膜上に非晶質シリコン膜 3 を形成する。前記酸化シリコン膜および非晶質シリコン膜 3 は、プラズマ CVD、減圧 CVD 等の CVD 法により堆積させる。非晶質シリコン膜 3 は SiH_4 と H_2 ガスを用いて、基板温度 $270^\circ C$ で成膜した。膜厚は $50 \sim 100 nm$ の範囲で設定する。このようにして成膜できれば、基板にガラス基板を用いることができる。コスト面からみれば、しかし上述したように低温で形成した非晶質シリコン膜に、数 μm 、% 以上の水素を含ませるため、このままレーザアニールを行うと膜と基板との間に水素が生じて結晶性の良い多結晶シリコン膜が得られない (図 2 (a))。

【0023】について、非晶質シリコン焼成後、4.50℃/1hの熱アニールを施して、膜中の水素を排除する事が望ましい。この熱アニールによりより多結晶シリコン膜表面3μmには、約5~15Åの自然酸化膜4が形成されてしまう。この熱アニールを行なってもよいが、CV測定後、非晶質シリコン膜3を大気中に露することによって同様に自然酸化膜4は形成される(図2(b))。図2(b)に示すように、CV終了後は熱アニール終了

後、図1に示したローディングチャンバー100に基板1をチャージして真空に引く。図1に示した装置では、ローディングチャンバー100には最大基板数10枚がチャージできるようになっており、枚数式に基板を処理できるようにになっている。1×10⁻¹Pa以下になった。次のドライエッチングチャンバー101に基板を搬送する。そして、N₂脱気調整を行い、所望の条件にチャージしたエッチングを開始する。ドライエッチングチャンバー101において、表面の自然酸化膜4を上記の方法、条件において除去する。非晶質シリコン膜表面31に形成される自然酸化膜4の厚さは最大1.5nmであるため、エッチング時間は2分としてオーバエッチングした。エッチング時間を減えたら、N₂ガスの流れを止めた。再度真空に引くことにより、残留ガスを十分に取り除く(図2(c))。

【0025】次に、真空中のままエッチング処理を終えた基板を真空（ 1×10^{-10} Pa）に保たれたトランスファアーチャンパー102を介してレーザアニールチャンパー103に搬送してレーザアニール処理を行う。例えば、2mm□ビームを200 μ m ビッチで照射できるように、基板の移動速度を決める。レーザ周波数は100 ~ 200 Hz で設定し、非晶質シリコン表面31でのエネルギーを200 ~ 400 mJ/cm²の間に設定し、レーザビームを照射する（図2（d））。

【0026】上述したレーザー照射によって基板全面に非晶質シリコン膜31を結晶化させ、多結晶シリコン膜32を得る。多結晶シリコン膜32のグレインサイズは400~1 μ mであることが望ましい。400nm以下ではサイズが小さいため、移動度が低下してしまう。一方、1 μ mを越えると、多結晶シリコン結晶粒内に多数の欠陥（晶間欠陥）が形成され、キャリアのトラップとなるため、TFT特性例えばON電流（移動度）、S \square アクターは劣化する（図2（e））。

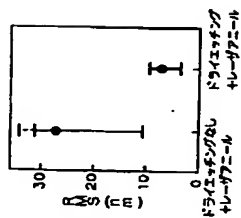
【0027】本発明を用いて得られた多結晶シリコン膜の表面観察を行った結果を図3に示した。表面凹凸は、AFMを用いて測定した。測定に用いた多結晶シリコン膜は、膜厚50 nmの非晶質シリコン膜をレーザアニールして得た。レーザ照射エネルギーは350 mJ/cm²として得られた。レーザの照射サイズは600 nmである。そのグレインサイズは600 nmである。図3に、AFMで測定したRMS（平均二乗根）とレーザアニール前処理の関係を示す。比較として、レーザアニールして得られた多結晶シリコン膜を行わずに、レーザアニールして得られた多結晶シリコン膜の状態をレーザアニールを行って結晶化した多結晶シリコン膜表面のRMSは10 nm〜20 nmであるのに対して、本発明を用いて得られた多結晶シリコン膜表面のRMSは10 nmよりも小さくなることがわかった。

【0028】さらに、この多結晶シリコン膜を使用してTFETを作成することや、多結晶シリコン膜表面の凹凸

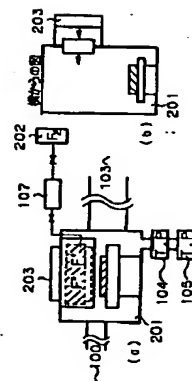
(5)

(7)

【図3】



【図4】



【図5】

